

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-367277

(43)Date of publication of application : 18.12.1992

(51)Int.Cl.

H01L 29/784

(21)Application number : 03-168998

(71)Applicant : NEC CORP

(22)Date of filing : 14.06.1991

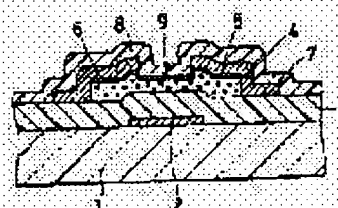
(72)Inventor : SUKEGAWA OSAMU

(54) THIN FILM TRANSISTOR AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To restrain the electronic conduction in amorphous silicon interface for reducing the off-current by a method wherein, in an inverse stagger structured amorphous thin film transistor, the amorphous silicon interface on the opposite side to that of a gate electrode is converted to p type.

CONSTITUTION: A gate electrode 1, a silicon nitride film (gate insulating film) 3, an a-Si film 4, an n+ type a-Si film 5, a drain electrode 6 and a source electrode 7 are formed on a glass substrate 1 and then the n+ type a-Si film 5 is etched away using the drain electrode 6 and the source electrode 7 as masks to expose the surface of the a-Si film 4. Next, in order to perform the formation step by plasma CVD process, the plasma gas is mixed with B₂H₆ to deposit a B doped silicon nitride film 8. Finally, a p type conversion layer 9 is formed on the surface of the a-Si film 4 by proper annealing step.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-367277

(43) 公開日 平成4年(1992)12月18日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784		9056-4M	H 0 1 L 29/78	3 1 1 H
		9056-4M		3 1 1 N

審査請求 未請求 請求項の数2 (全 4 頁)

(21) 出願番号 特願平3-168998

(22) 出願日 平成3年(1991)6月14日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 助川 統

東京都港区芝五丁目7番1号 日本電気株式会社内

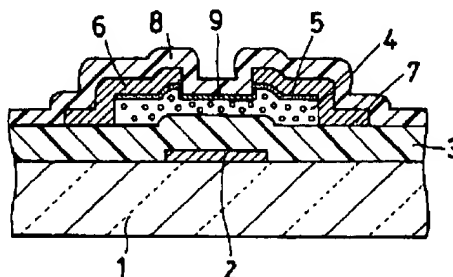
(74) 代理人 弁理士 尾身 祐助

(54) 【発明の名称】 薄膜トランジスタおよびその製造方法

(57) 【要約】

【目的】 逆スタガー構造のa-Si薄膜トランジスタにおいて、ゲート電極と反対側のa-Si界面をp型に変換することにより、この界面での電子伝導を抑制し、オフ電流の低減を図る。

【構成】 ガラス基板1上にゲート電極2と、窒化シリコン膜(ゲート絶縁膜)3、活性層となるa-Si膜4、コンタクト領域となるn⁺型a-Si膜5、ドレイン電極6、ソース電極7を形成し、ドレイン電極6、ソース電極7をマスクにn⁺型a-Si膜5をエッチング除去してa-Si膜4の表面を露出させる。プラズマCVD法により成膜を行うに際して、プラズマガス中にB₂H₆を混合して、Bドーパ窒化シリコン膜8を成長させる。アニール処理を行ってa-Si膜4の表面にp型変換層9を形成する。



1… ガラス基板
2… ゲート電極
3… 窒化シリコン膜
4… a-Si膜
5… n⁺型a-Si膜

6… ドレイン電極
7… ソース電極
8… Bドーパ窒化シリコン膜
9… p型変換層

【特許請求の範囲】

【請求項1】 ゲート電極上にゲート絶縁膜を介してアモルファスシリコン層が形成され、該アモルファスシリコン層上に絶縁性保護膜が形成されている薄膜トランジスタにおいて、前記絶縁性保護膜にはIII族元素がドーブされかつ該絶縁性保護膜下の前記アモルファスシリコン層の表面はp型化されていることを特徴とする薄膜トランジスタ。

【請求項2】 絶縁性基板上にゲート電極を形成する工程と、前記ゲート電極を覆うゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に活性層となるアモルファスシリコン層を形成する工程と、III族元素が含まれるプラズマガスにより前記アモルファスシリコン層上に絶縁膜を成膜する工程と、熱処理を行って前記アモルファスシリコン層の表面をp型化する工程と、を含む薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタおよびその製造方法に関し、特にアモルファスシリコンを活性層とする逆スタガ型の薄膜トランジスタとその製造方法に関する。

【0002】

【従来の技術】 従来のアモルファスシリコン薄膜トランジスタの製造方法を図4を参照して説明する。ガラス基板1上にクロムを膜厚140nmに成膜し、パターンニングすることによりゲート電極2を形成する。次に、ゲート絶縁膜となる窒化シリコン膜3を膜厚400nmに、動作層となるノンドープアモルファスシリコン膜（以下、a-Si膜と記す）4を膜厚300nmに、オーミックコンタクトを得るためのリン（P）ドーパアモルファスシリコン膜（以下、n⁺型a-Si膜と記す）5を膜厚50nmにそれぞれプラズマCVD法により成膜し、素子部以外のアモルファスシリコンを除去する。

【0003】 その後、膜厚200nmにクロム膜を成膜し、これをパターンニングすることにより、ドレイン電極6、ソース電極7を形成する。次に、ドレイン電極6、ソース電極7間のn⁺型a-Siをエッチング除去することにより、両電極の分離を行う。

【0004】 次に、ドレイン電極6、ソース電極7間のエッチングにより露出したa-Si4の表面、即ち、バックチャネル部を不動態化するために、プラズマCVD法により全面に窒化シリコン膜11を形成する。

【0005】 この薄膜トランジスタでは、ドレイン電極6とソース電極7に対するコンタクト領域としてn⁺型a-Siを用いているため、電流は電子の伝導によるものであり、正孔はコンタクト部でブロックされ、チャネル部には注入されない。

【0006】

【発明が解決しようとする課題】 この従来のアモルファ

スシリコン薄膜トランジスタでは、動作層のa-Siが弱いn型半導体であるため、保護膜となる窒化シリコン中または保護膜上部に正の電荷が存在すると、バックチャネル界面に電子が誘起され、ここがより電子濃度の高いn型に変換される。このためトランジスタのオフ状態においてもバックチャネル部に電流が流れ、リーク不良となる。

【0007】

【課題を解決するための手段】 本発明の薄膜トランジスタは、ゲート電極上にゲート絶縁膜を介してアモルファスシリコン層が形成され、該アモルファスシリコン層上に絶縁性保護膜が形成されたものであって、前記絶縁性保護膜にはIII族元素がドーブされかつ該絶縁性保護膜下のアモルファスシリコン層の表面がp型化されていることを特徴としている。

【0008】 また、その製造方法は、絶縁性基板上にゲート電極を形成する工程と、前記ゲート電極を覆うゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に活性層となるアモルファスシリコン層を形成する工程と、III族元素が含まれるプラズマガスにより前記アモルファスシリコン層上に絶縁膜を成膜する工程と、熱処理を行って前記アモルファスシリコン層の表面をp型化する工程と、を含んでいる。

【0009】

【実施例】 次に、本発明の実施例について図面を参照して説明する。図1は、本発明の第1の実施例を示す断面図である。同図において、1はガラス基板、2はクロムからなるゲート電極、3はゲート絶縁膜となる窒化シリコン膜、4はa-Si膜、5はn⁺型a-Si膜、6、7はそれぞれドレイン電極とソース電極、8は保護膜となるB（ボロン）ドーパ窒化シリコン膜、9はa-Si膜4の表面に形成されたp型変換層である。

【0010】 次に、本実施例の製造方法について説明する。ドレイン電極6、ソース電極7をマスクにn⁺型a-Si膜5をエッチング除去してa-Si膜4の表面を露出させる迄の工程は従来通りであるのでその説明は省略する。

【0011】 ドレイン電極6-ソース電極7間のa-Si膜4の表面を露出させた後、バックチャネル保護膜としてBドーパ窒化シリコン膜8を膜厚4000ÅにプラズマCVD法により成長させる。

【0012】 窒化シリコン膜の代表的な成長条件は、シラン（SiH₄）：アンモニア（NH₃）：窒素（N₂）＝1：2：20の流量比、圧力＝100Pa、温度＝250℃、パワー密度＝0.1W/cm²であるが、本実施例では、これにジボラン（B₂H₆）を流量比で10⁻³程度混合させてBドーパ窒化シリコン膜を成膜した。

【0013】 図2は、窒化シリコン膜のBドーピング特性を導電率で示したものである（Munekata et.al, Proc.

3rd Photovoltaic Science and Engineering May, 1982)。同図に示されるように、 10^{-3} 程度 B_2H_6 を混合することにより、窒化シリコン膜の導電率は低下し、絶縁膜としての機能は強化される。

【0014】Bドーピング窒化シリコン膜8を成膜した後、 $250 \sim 300^\circ\text{C}$ でアニール処理を行うとBがa-Si膜4中に拡散し、バックチャネル界面はp型に変換される。結晶Siでの不純物拡散は、 $\sim 1000^\circ\text{C}$ 程度の高温処理で達成されるが、アモルファスシリコンの場合は膜の構造的な不均一性のため、比較的低温で元素の移動

10 【0015】図3は本発明の第2の実施例の断面図である。この実施例を作成するには、a-Si膜4を成膜した後にBドーピング窒化シリコン8を成膜し、バックチャネル保護を行う。この後、バックチャネル部以外のBドーピング窒化シリコン8および素子部以外のa-Si膜4を除去する。

【0016】次に、 n^+ 型a-Si膜5を成膜し、これをパターニングした後、クロム膜の成膜とそのパターニングによってドレイン電極6、ソース電極7を形成し、さらに保護膜としての窒化シリコン膜10を形成する。

【0017】この実施例においては、a-Si膜4の形成直後にバックチャネル保護膜となるBドーピング窒化シリコン膜8を形成するため、a-Si膜4と窒化シリコン膜8の界面は、エッチング等のダメージ汚染を受ける履歴を経ない。そのため、この実施例ではバックチャネルのp型変換の効果が安定して得られる。

【0018】なお、窒化シリコン膜8の成膜工程において、ガスに B_2H_6 を混合するのは必ずしも全成膜工程

10

20

30

に渡る必要はなく、成膜工程の初期の段階だけであってもよい。

【0019】

【発明の効果】以上説明したように、本発明は、 1000 ppm 程度にBを含んだ窒化シリコン膜を薄膜トランジスタのバックチャネル部の保護膜として用い、バックチャネル界面を弱いp型としたものであるため、本発明によれば、バックチャネルのn型変換のしきい値を増加させ、オフ時のリーク電流を低減させることができる。

【0020】また、バックチャネル界面のp型化は、プラズマCVD法による成膜とアニール処理によって達成するものであるため、特別な工程の追加を伴うことなくp型化を実現できる。またBのドーピングがプラズマCVD装置を用いて行われるものであるため、広い面積に渡って均等なドーピングを行うことができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施例を示す断面図。

【図2】 窒化シリコン成膜時のガス混合比と導電率の関係を示すグラフ。

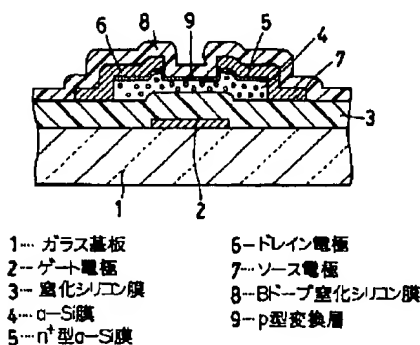
【図3】 本発明の第2の実施例を示す断面図。

【図4】 従来例の断面図。

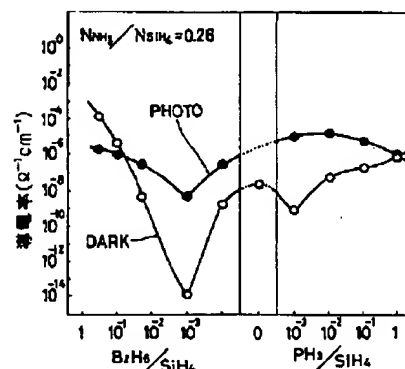
【符号の説明】

1…ガラス基板、 2…ゲート電極、 3…窒化シリコン膜、 4…ノンドープアモルファスシリコン膜(a-Si膜)、 5…Pドーピングアモルファスシリコン膜(n^+ 型a-Si膜)、 6…ドレイン電極、 7…ソース電極、 8…Bドーピング窒化シリコン膜、 9…p型変換層、 10、11…窒化シリコン膜。

【図1】



【図2】



特開平4-367277

【图 4】

